

Title of the Prior Art

Japanese Published Patent Application No.2000-349248

Date of Publication: December 15, 2000

Concise Statement of Relevancy

This reference discloses a structure of a memory cell capacitor in a ferroelectric memory (paragraph 0098, 0099).

Translation of Paragraphs [0098]-[0099]

[0098]

On the one hand, Fig. 3 is a diagram which illustrates a conventional structure of 1 transistor + 1 capacitor type cell, Fig. 3(A) is a plain view showing a layout, and Fig. 3(B) is a cross-sectional view. Meanwhile, hatching is omitted also in Fig. 3.

[0099]

In Fig. 3, 201 denotes a semiconductor substrate, 202 denotes an element isolation region, 203 denotes a drain-source region, 204 denotes a gate oxide film, 205 denotes a gate electrode (word line) composed of polysilicon or polycide, 206a and 206b denote lower electrodes of ferroelectric capacitors, the lower electrodes constituting node electrodes, 207 denotes a ferroelectric capacitor insulator, 208a and 208b denote upper electrodes which constitute plate lines PL11 and PL12, 209 denotes an interlayer insulation film, and 210 denotes an aluminum wiring layer forming a bit line BL11.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349248

(P2000-349248A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 B 0 2 4
G 1 1 C 11/22		G 1 1 C 11/22	5 F 0 0 1
	14/00		11/34 3 5 2 A 5 F 0 8 3
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1
21/8242		29/78	3 7 1

審査請求 有 請求項の数13 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平11-158632

(22) 出願日 平成11年6月4日 (1999. 6. 4)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 西原 利幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5B024 AA07 AA11 BA02 BA13 BA25
BA29 CA07 CA21

5F001 AA17 AB02 AD12 AE02 AE03

5F083 AD21 AD49 FR01 GA11 LA03

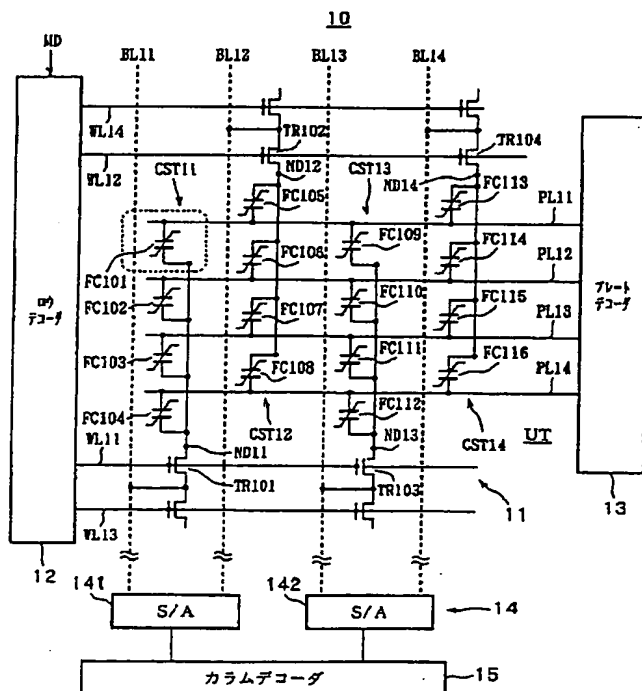
LA04 LA05 LA12 LA16 LA19

(54) 【発明の名称】 強誘電体メモリおよびそのアクセス方法

(57) 【要約】

【課題】 極小のセルサイズを保ちつつ、データ破壊のない、安定したアクセスを保証できる強誘電体メモリおよびそのアクセス方法を提供する。

【解決手段】 第1の動作モード時には、ワード線WL1とワード線WL2を独立に、第2の動作モード時には、同時に選択して各プレート線を電極として共有する一対の強誘電体キャパシタに1ビットを記憶し、読み出し時には、第1の動作モード時には選択されたセルストリングCST11の各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、引き続き第2のセルストリングCST12の各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、第2の動作モード時には、第1および第2のセルストリングの各強誘電体キャパシタ対に記憶された全データに対して連続かつ一括に読み出しと再書き込みを行う。



【特許請求の範囲】

【請求項 1】 第 1 のビット線と、

第 2 のビット線と、

第 1 のワード線と、

第 2 のワード線と、

複数のプレート線と、

第 1 のノード電極と、上記第 1 のビット線と上記第 1 のノード電極との間に接続され、上記第 1 のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第 1 のパストランジスタと、上記第 1 のノード電

極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第 1 のセルストリングと、第 2 のノード電極と、上記第 2 のビット線と上記第 2 のノード電極との間に接続され、上記第 2 のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第 2 のパストランジスタと、上記第 2 のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第 2 のセルストリングとを有する強誘電体メモリ。

【請求項 2】 上記第 1 のワード線と第 2 のワード線を独立に選択して、上記第 1 のパストランジスタと第 2 のパストランジスタを独立に導通状態または非導通状態に保持させ、パストランジスタが導通状態にあるセルストリングの複数の強誘電体キャパシタのそれぞれに対して独立にアクセス可能の手段を有する請求項 1 記載の強誘電体メモリ。

【請求項 3】 上記第 1 のワード線が選択された場合には、上記第 2 のビット線に参照電位を与え、上記第 2 のワード線が選択された場合には、上記第 1 のビット線に参照電位を与える手段を有する請求項 2 記載の強誘電体メモリ。

【請求項 4】 データ読み出しの時に上記第 1 のワード線が選択されると、第 1 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、さらに引き続き上記第 2 のワード線を選択して、第 2 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、データ読み出しの時に上記第 2 のワード線が選択されると、第 2 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、さらに引き続き上記第 1 のワード線を選択して、第 1 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行う手段を有する請求項 3 記載の強誘電体メモリ。

【請求項 5】 上記第 1 のワード線と第 2 のワード線を同時に選択して、上記第 1 のパストランジスタと第 2 の

パストランジスタを並列に導通状態に保持させ、各プレート線を電極として共有する上記第 1 および第 2 のセルストリング内の一対の強誘電体キャパシタに 1 ビットを記憶する手段を有する請求項 1 記載の強誘電体メモリ。

【請求項 6】 データ読み出し時に、上記第 1 および第 2 のワード線が選択されると、上記第 1 および第 2 のセルストリングの各強誘電体キャパシタ対に記憶された全データに対して連続かつ一括に読み出しと再書き込みを行う手段を有する請求項 5 記載の強誘電体メモリ。

【請求項 7】 各強誘電体キャパシタがビット線の上層に形成されている請求項 1 記載の強誘電体メモリ。

【請求項 8】 第 1 の動作モードと第 2 の動作モードで動作が可能な強誘電体メモリであって、

第 1 のビット線と、

第 2 のビット線と、

第 1 のワード線と、

第 2 のワード線と、

複数のプレート線と、

第 1 のノード電極と、上記第 1 のビット線と上記第 1 のノード電極との間に接続され、上記第 1 のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第 1 のパストランジスタと、上記第 1 のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第 1 のセルストリングと、

第 2 のノード電極と、上記第 2 のビット線と上記第 2 のノード電極との間に接続され、上記第 2 のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第 2 のパストランジスタと、上記第 2 のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第 2 のセルストリングと、

上記第 1 の動作モード時には、上記第 1 のワード線と第 2 のワード線を独立に選択して、上記第 1 のパストランジスタと第 2 のパストランジスタを独立に導通状態または非導通状態に保持させ、パストランジスタが導通状態にあるセルストリングの複数の強誘電体キャパシタのそれぞれに対して独立にアクセスして 1 つの強誘電体キャパシタに 1 ビットを記憶し、上記第 2 の動作モード時には、上記第 1 のワード線と第 2 のワード線を同時に選択して、上記第 1 のパストランジスタと第 2 のパストランジスタを並列に導通状態に保持させ、各プレート線を電極として共有する上記第 1 および第 2 のセルストリング内の一対の強誘電体キャパシタに 1 ビットを記憶するモード手段とを有する強誘電体メモリ。

【請求項 9】 上記モード手段は、第 1 の動作モード時に、上記第 1 のワード線が選択された場合には、上記第 2 のビット線に参照電位を与え、上記第 2 のワード線が選択された場合には、上記第 1 のビット線に参照電位を与える請求項 8 記載の強誘電体メモリ。

【請求項 10】 データ読み出しの時に上記第 1 のワード線が選択されると、第 1 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、さらに引き続き上記第 2 のワード線を選択して、第 2 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、データ読み出しの時に上記第 2 のワード線が選択されると、第 2 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、さらに引き続き上記第 1 のワード線を選択して、第 1 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行う手段を有する請求項 9 記載の強誘電体メモリ。

【請求項 11】 上記モード手段は、第 2 の動作モード時のデータ読み出し時に、上記第 1 および第 2 のワード線が選択されると、上記第 1 および第 2 のセルストリングの各強誘電体キャパシタ対に記憶された全データに対して連続かつ一括に読み出しと再書き込みを行う手段を有する請求項 8 記載の強誘電体メモリ。

【請求項 12】 第 1 のビット線と、第 2 のビット線と、第 1 のワード線と、第 2 のワード線と、複数のプレート線と、第 1 のノード電極と、上記第 1 のビット線と上記第 1 のノード電極との間に接続され、上記第 1 のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第 1 のパストランジスタと、上記第 1 のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第 1 のセルストリングと、第 2 のノード電極と、上記第 2 のビット線と上記第 2 のノード電極との間に接続され、上記第 2 のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第 2 のパストランジスタと、上記第 2 のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第 2 のセルストリングとを有する強誘電体メモリのアクセス方法であって、

上記第 1 のワード線と第 2 のワード線を独立に選択し、データ読み出しの時に、上記第 1 のワード線が選択した場合には、第 1 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、さらに引き続き上記第 2 のワード線を選択して、第 2 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、

データ読み出しの時に上記第 2 のワード線が選択した場合には、第 2 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、さらに引き続き上記第 1 のワード

線を選択して、第 1 のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行う強誘電体メモリのアクセス方法。

【請求項 13】 第 1 のビット線と、第 2 のビット線と、第 1 のワード線と、第 2 のワード線と、複数のプレート線と、第 1 のノード電極と、上記第 1 のビット線と上記第 1 のノード電極との間に接続され、上記第 1 のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第 1 のパストランジスタと、上記第 1 のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第 1 のセルストリングと、第 2 のノード電極と、上記第 2 のビット線と上記第 2 のノード電極との間に接続され、上記第 2 のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第 2 のパストランジスタと、上記第 2 のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第 2 のセルストリングとを有し、各プレート線を電極として共有する上記第 1 および第 2 のセルストリング内の一対の強誘電体キャパシタに 1 ビットを記憶する強誘電体メモリのアクセス方法であって、データ読み出し時に、上記第 1 および第 2 のワード線を同時に選択し、上記第 1 および第 2 のセルストリングの各強誘電体キャパシタ対に記憶された全データに対して連続かつ一括に読み出しと再書き込みを行う強誘電体メモリのアクセス方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、強誘電体の分極反転を利用した強誘電体メモリおよびそのアクセス方法に関するものである。

【0002】

【従来の技術】 近年大容量の強誘電体メモリに関する研究が盛んに行われている。強誘電体メモリは、高速アクセスが可能で、かつ不揮発性であることから、ファイルのストレージやレジューム機能を持つ携帯用コンピュータの主記憶装置などへの利用が期待されている。

【0003】 強誘電体キャパシタを用いて高密度にデータを蓄積する初期の試みは、直交する二つの駆動配線（ビット線およびワード線）の交点に単にキャパシタのみを配置する単純マトリクス型と呼ばれる構成を用いたものであった。

【0004】 図 5 は、単純マトリクス型強誘電体メモリの構成例を示す回路図である。この単純マトリクス型強誘電体メモリ 1 は、複数（図 5 では 20 個）の強誘電体キャパシタ FC1～FC20 を 4×5 のマトリクス状に配列したメモリセルアレイ 2、ロウデコーダ 3、およびセンスアンプ／カラムデコーダ 4 により構成されてい

る。

【0005】メモリセルアレイ1では、同一行に配置された強誘電体キャパシタFC1~FC5, FC6~FC10, FC11~FC15, FC16~FC20の一方の電極が同一のワード線WL1, WL2, WL3, WL4にそれぞれ接続され、同一列に配置されたFC1, FC6, FC11, FC16の他方の電極がビット線BL1に、FC2, FC7, FC12, FC17の他方の電極がビット線BL2にFC3, FC8, FC13, FC18の他方の電極がビット線BL3に、FC4, FC9, FC14, FC19の他方の電極がビット線BL4に、FC5, FC10, FC15, FC20の他方の電極がビット線BL5にそれぞれ接続されている。そして、ワード線WL1~WL4はロウデコーダ3に接続され、ビット線BL1~BL5はセンスアンプ/カラムデコーダ4に接続されている。

【0006】強誘電体キャパシタは、ヒステリシス特性を有しており、このヒステリシス特性を利用してデータの記憶および読み出しを行う。

【0007】以下、強誘電体キャパシタのヒステリシス特性について図6に関連付けて説明する。図6において、(a)がヒステリシス特性、(b)および(c)は互いに逆相の第1のデータ(以下データ'1')、および第2のデータ(以下データ'0')が書き込まれたキャパシタの状態を示している。

【0008】強誘電体メモリは、図6(a)に示すヒステリシス特性において、強誘電体キャパシタにプラス側の電圧を印加(図中C)して+Q_rの残留分極電荷が残った状態(図中A)をデータ'1'、マイナス側の電圧を印加(図中D)して-Q_rの残留分極が残った状態(図中B)をデータ'0'として、不揮発性のメモリとして利用する。

【0009】すなわち強誘電体メモリにおいては、データの記憶には強誘電体膜の分極を用い、キャパシタを構成する両電極間に電界を加えてデータの読み出しを行う。分極と反対方向に電界を与えた場合、分極状態が反転し、その際放出される電荷は分極と同方向に電界を与えた場合より大きくなるので、その差を検出することでデータを読み出せる。

【0010】たとえば、図5においてメモリセルMC1の記録データを読み出す場合、ビット線BL1とワード線WL1との間に所定の電位差を与える。これにより、強誘電体キャパシタFC1に蓄積された電荷がビット線BL1に放出され、放出された電荷をセンスアンプ/カラムデコーダ4のセンスアンプで検出する。

【0011】

【発明が解決しようとする課題】この単純マトリクス型強誘電体メモリの場合、基本的にメモリセルにトランジスタを必要としないため、極小のメモリセルサイズを実現できる。しかし、この構成では、以下に示すようなデ

イスタープという問題がある。

【0012】たとえばメモリセルMC1(強誘電体キャパシタFC1)にデータ'1'を書きこむ場合、ワード線WL1に0Vを印加し、ビット線BL1に電源電圧V_{cc}を印加する。この際、たとえば非選択のワード線WL2~WL4の電位はV_{cc}/2に固定されるが、たとえば非選択のメモリセルMC2(強誘電体キャパシタFC6)にデータ'0'が書き込まれていた場合、強誘電体キャパシタFC6はデータが破壊する方向に、V_{cc}/2の電圧印加、いわゆるディスタープを受けることになる。したがって、単純マトリクス型強誘電体メモリにおいては、非選択の状態が長く続いたキャパシタのデータは徐々に劣化し、最後は消失してしまう。そのためデータの保持が保証できず、実用に適さなかった。

【0013】これに対しUSP4873664においてS. Sheffieldらは、ビット線とキャパシタ電極の間にパストランジスタを配置することでこの問題を解決した。

【0014】その実現の方法として、1個のパストランジスタと1個の強誘電体キャパシタにより1メモリセルを構成して1ビットを記憶する方法(1トランジスタ+1キャパシタ型セル)を採用した強誘電体メモリを図7に示す。

【0015】図7は、1トランジスタ+1キャパシタ型セルを有する折り返しビット線型強誘電体メモリの構成例を示す回路図である。

【0016】この強誘電体メモリ5は、複数(図7では8個)のメモリセルMC01~MC08をマトリクス状に配列したメモリセルアレイ6と、ロウデコーダ7、プレートデコーダ8、およびセンスアンプ(S/A)9-1, 9-2により構成されている。各メモリセルMC01(~MC08)は、それぞれ1個のパストランジスタTR01(~TR08)および強誘電体キャパシタFC01(~FC08)により構成されている。なお、パストランジスタTR01~TR08は、たとえばnチャネルMOSトランジスタにより構成される。

【0017】そして、同一列に配列されたメモリセルMC01, MC03を構成する強誘電体キャパシタFC01, FC03の一方の電極がパストランジスタTR01, TR03を介してビット線BL01に接続されている。同様に、メモリセルMC02, MC04を構成する強誘電体キャパシタFC02, FC04の一方の電極がパストランジスタTR02, TR04を介してビット線BL03に接続され、メモリセルMC05, MC07を構成する強誘電体キャパシタFC05, FC07の一方の電極がパストランジスタTR05, TR07を介してビット線BL02に接続され、メモリセルMC06, MC08を構成する強誘電体キャパシタFC06, FC08の一方の電極がパストランジスタTR06, TR08を介してビット線BL04に接続されている。

【0018】また、メモリセルMC01, MC02を構成する強誘電体キャパシタFC01, FC02の他方の電極が共通のプレート線PL01に接続されている。同様に、メモリセルMC03, MC06を構成する強誘電体キャパシタFC03~FC06の他方の電極が共通のプレート線PL02に接続され、メモリセルMC07, MC08を構成する強誘電体キャパシタFC07, FC08の他方の電極が共通のプレート線PL03に接続されている。

【0019】そして、同一行に配列されたメモリセルMC01, MC02を構成するパストランジスタTR01, TR02のゲート電極が共通のワード線WL01に接続されている。同様に、同一行に配列されたメモリセルMC03, MC04を構成するパストランジスタTR03, TR04のゲート電極が共通のワード線WL02に接続され、同一行に配列されたメモリセルMC05, MC06を構成するパストランジスタTR05, TR06のゲート電極が共通のワード線WL03に接続され、同一行に配列されたメモリセルMC07, MC08を構成するパストランジスタTR07, TR08のゲート電極が共通のワード線WL04に接続されている。

【0020】この1トランジスタ+1キャパシタ型セルの読み出しおよび書き込み動作は、は、選択されたメモリセルが接続されているワード線にたとえば電源電圧 $V_{cc} + \alpha$ (α はパストランジスタのしきい値電圧 V_{th} 以上の電圧、たとえば1V)を印加してパストランジスタTRを導通状態に保持して行う。

【0021】たとえばメモリセルMC01に対してデータの書き込みを行う場合は、ビット線BL01に0Vを印加し、ワード線WL01に電源電圧 $V_{cc} + 1V$ を印加する。これにより、パストランジスタTR01が導通状態となり、強誘電体キャパシタFC01の一方の電極に0Vが印加される。このとき、プレート線PL01は0Vに保持される。その後、プレート線PL01に電源電圧 V_{cc} を印加し、続いて0Vを印加する。すなわち、ワード線WL01が電源電圧 V_{cc} レベルに保持されている期間に、プレート線PL01に対して0V→ V_{cc} →0Vのパルス印加する。これにより、強誘電体キャパシタFC01において分極が起こり、他方の電極(プレート線側)から一方の電極(ビット線側)に向かう分極状態となり、書き込みが終了する。

【0022】また、メモリセルMC01のデータを読み出す時は、ビット線BL01~BL04に0Vを印加し、その後オープンとする。このときもワード線WL01に電源電圧 $V_{cc} + 1V$ を印加する。次に、プレート線PL01の電位を0Vから電源電圧 V_{cc} レベルまで立ち上げると、強誘電体の分極状態に応じた量の電荷がビット線BL01, BL3に放出される。たとえば強誘電体キャパシタFC01の分極状態が他方の電極(プレート線側)から一方の電極(ビット線側)に向かう状態にあ

る場合には、分極反転しない。一方、強誘電体キャパシタFC01の分極状態が一方の電極(ビット線側)から他方の電極(プレート線側)に向かう状態にある場合には、分極反転する。そして、分極反転する場合には、分極反転しない場合に比べて分極の変化に伴う電荷量の移動が大きい。したがって、分極反転した場合のビット線BL01の電位 $V1$ の方が、分極反転しない場合のビット線BL01の電位 $V2$ より大きくなる。このビット線の電位 $V1$ または $V2$ を、センスアンプにおいてたとえば図示しないダミーセルによる基準電位 V_{ref} ($V1 > V_{ref} > V2$)との大小に応じたレベル、すなわち V_{cc} または0Vにラッチすることにより読み出しを行う。そして、最後に再びプレート線PL01に0Vを印加することにより、分極反転してしまった強誘電体キャパシタを元の分極状態に戻す。これにより、読み出しの一連の動作が完了する。

【0023】しかしながら、この1トランジスタ+1キャパシタ型セルを採用した強誘電体メモリでは、ディスタート回数をゼロにすることが可能であるが、1ビットの記憶に少なくとも1つ以上のトランジスタを使用するため、セル面積が大きくなり、チップサイズの低減が難しいという問題があった。

【0024】本発明は、かかる事情に鑑みてなされたものであり、その目的は、極小のセルサイズを保ちつつ、データ破壊のない、安定したアクセスを保証できる強誘電体メモリおよびそのアクセス方法を提供することにある。

【0025】

【課題を解決するための手段】上記目的を達成するため、本発明の強誘電体メモリは、第1のビット線と、第2のビット線と、第1のワード線と、第2のワード線と、複数のプレート線と、第1のノード電極と、上記第1のビット線と上記第1のノード電極との間に接続され、上記第1のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第1のパストランジスタと、上記第1のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第1のセルストリングと、第2のノード電極と、上記第2のビット線と上記第2のノード電極との間に接続され、上記第2のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第2のパストランジスタと、上記第2のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第2のセルストリングとを有する。

【0026】また、本発明では、上記第1のワード線と第2のワード線を独立に選択して、上記第1のパストランジスタと第2のパストランジスタを独立に導通状態または非導通状態に保持させ、パストランジスタが導通状

態にあるセルストリングの複数の強誘電体キャパシタのそれぞれに対して独立にアクセス可能の手段を有する。

【0027】また、本発明では、上記第2のビット線に参照電位を与え、上記第2のワード線が選択された場合には、上記第1のビット線に参照電位を与える手段を有する。

【0028】また、本発明では、データ読み出しの時に上記第1のワード線が選択されると、第1のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、さらに引き続き上記第2のワード線を選択して、第2のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、データ読み出しの時に上記第2のワード線が選択されると、第2のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、さらに引き続き上記第1のワード線を選択して、第1のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行う手段を有する。

【0029】また、本発明では、上記第1のワード線と第2のワード線を同時に選択して、上記第1のバストランジスタと第2のバストランジスタを並列に導通状態に保持させ、各プレート線を電極として共有する上記第1および第2のセルストリング内の一対の強誘電体キャパシタに1ビットを記憶する手段を有する。

【0030】また、本発明では、データ読み出し時に、上記第1および第2のワード線が選択されると、上記第1および第2のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行う手段を有する。

【0031】また、本発明では、各強誘電体キャパシタがビット線の上層に形成されている。

【0032】また、本発明は、第1の動作モードと第2の動作モードで動作が可能な強誘電体メモリであって、第1のビット線と、第2のビット線と、第1のワード線と、第2のワード線と、複数のプレート線と、第1のノード電極と、上記第1のビット線と上記第1のノード電極との間に接続され、上記第1のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第1のバストランジスタと、上記第1のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第1のセルストリングと、第2のノード電極と、上記第2のビット線と上記第2のノード電極との間に接続され、上記第2のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第2のバストランジスタと、上記第2のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第2の

セルストリングと、上記第1の動作モード時には、上記第1のワード線と第2のワード線を独立に選択して、上記第1のバストランジスタと第2のバストランジスタを独立に導通状態または非導通状態に保持させ、バストランジスタが導通状態にあるセルストリングの複数の強誘電体キャパシタのそれぞれに対して独立にアクセスして1つの強誘電体キャパシタに1ビットを記憶し、上記第2の動作モード時には、上記第1のワード線と第2のワード線を同時に選択して、上記第1のバストランジスタと第2のバストランジスタを並列に導通状態に保持させ、各プレート線を電極として共有する上記第1および第2のセルストリング内の一対の強誘電体キャパシタに1ビットを記憶するモード手段とを有する。

【0033】また、本発明は、第1のビット線と、第2のビット線と、第1のワード線と、第2のワード線と、複数のプレート線と、第1のノード電極と、上記第1のビット線と上記第1のノード電極との間に接続され、上記第1のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第1のバストランジスタと、上記第1のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第1のセルストリングと、第2のノード電極と、上記第2のビット線と上記第2のノード電極との間に接続され、上記第2のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第2のバストランジスタと、上記第2のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第2のセルストリングとを有する強誘電体メモリのアクセス方法であって、上記第1のワード線と第2のワード線を独立に選択し、データ読み出しの時に、上記第1のワード線が選択した場合には、第1のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、さらに引き続き上記第2のワード線を選択して、第2のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行い、データ読み出しの時に上記第2のワード線が選択した場合には、第2のセルストリングの各強誘電体キャパシタに記憶された全データに対して連続かつ一括に読み出しと再書き込みを行う。

【0034】また、本発明は、第1のビット線と、第2のビット線と、第1のワード線と、第2のワード線と、複数のプレート線と、第1のノード電極と、上記第1のビット線と上記第1のノード電極との間に接続され、上記第1のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第1のバストランジスタ

と、上記第1のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第1のセルストリングと、第2のノード電極と、上記第2のビット線と上記第2のノード電極との間に接続され、上記第2のワード線に印加される電圧に応じて導通状態または非導通状態に保持される第2のバストランジスタと、上記第2のノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する第2のセルストリングとを有し、各プレート線を電極として共有する上記第1および第2のセルストリング内の一対の強誘電体キャパシタに1ビットを記憶する強誘電体メモリのアクセス方法であって、データ読み出し時に、上記第1および第2のワード線を同時に選択し、上記第1および第2のセルストリングの各強誘電体キャパシタ対に記憶された全データに対して連続かつ一括に読み出しと再書き込みを行う。

【0035】本発明によれば、メモリ素子は、単純マトリクス型のアレイをバストランジスタで細かいユニット単位に分割した構造を持ちながらも、バストランジスタを介してビット線と接続される各ノード電極には、一つではなく複数の強誘電体キャパシタが接続されている。さらに、ノードまたはプレート線を共有する複数の強誘電体キャパシタのデータアクセスは一括で連続的に行われる。また、アクセスされたデータは再書き込みされる。

【0036】また、本発明によれば、バストランジスタで選択されず、選択プレート線を共有していない非選択セルストリング内の強誘電体キャパシタはディスタ urb を受けない。さらに、セルストリング内の強誘電体キャパシタは連続して一括でアクセスされる。このため、そのアクセス時には必ず再書き込みがなされ、それまでのデータ劣化はリフレッシュされて元の状態に回復する。これにより、どの強誘電体キャパシタがいかなる形でアクセスされても、個々の強誘電体キャパシタが受けるディスタ urb 回数の上限を一定かつ非常に小さく制限できる。したがって分割頻度を適切に設定することにより、極小のセルサイズを保ちつつ、データ破壊のない、安定したアクセスを保証できる。

【0037】

【発明の実施の形態】図1は、本発明に係る折り返しビット線型強誘電体メモリの一実施形態を示す回路図である。本実施形態に係る強誘電体メモリ10は、上述するように、第1の動作モードと第2の動作モードで動作可能で、たとえば図示しない制御系回路に対する指示により動作モードが切り換えられるように構成される。

【0038】この強誘電体メモリ10は、図1に示すように、メモリセルアレイ11、ロウデコーダ12、プレートデコーダ13、センスアンプ(S/A)群14、カラムデコーダ15により構成されている。

【0039】メモリセルアレイ11は、それぞれメモリセルを構成する複数(本実施形態では16個)の強誘電体キャパシタFC101~FC116がマトリクス状に配列されている。そして、メモリセルを構成する16個の強誘電体キャパシタは、ひとつのセルユニットUTに分割されている。なお、図1では図面の簡単化のため一つのセルユニットのみを示しているが、メモリセルアレイ11は、複数のセルユニットをマトリクス状に配列して構成される。

【0040】セルユニットUTは、4列のセルストリングCST11~CST14に分割されている。

【0041】セルストリングCST11は、nチャネルMOSトランジスタからなるバストランジスタTR101、および同一列に配列された強誘電体キャパシタFC101、FC102、FC103、FC104により構成される。

【0042】セルストリングCST11においては、バストランジスタTR101を介してビット線BL11に接続されている一つのノード電極ND11に複数(本実施形態では4個)のメモリセルとしての強誘電体キャパシタFC101、FC102、FC103、FC104の一方の電極が共通に接続されている。各強誘電体キャパシタFC101、FC102、FC103、FC104の他方の電極はそれぞれ異なるプレート線PL11、PL12、PL13、PL14に接続されており、メモリセルとしての各強誘電体キャパシタFC101、FC102、FC103、FC104のそれぞれに対して独立にデータの書き込みができるように構成されている。なお、ノード電極ND11を共有する複数の強誘電体キャパシタFC101、FC102、FC103、FC104のデータアクセスは一括で連続的に行われる。また、アクセスされたデータはセンスアンプで増幅されて再書き込みされる。

【0043】セルストリングCST12は、nチャネルMOSトランジスタからなるバストランジスタTR102、および同一列に配列された強誘電体キャパシタFC105、FC106、FC107、FC108により構成される。

【0044】セルストリングCST12においては、バストランジスタTR102を介してビット線BL12に接続されている一つのノード電極ND12にメモリセルとしての強誘電体キャパシタFC105、FC106、FC107、FC108の一方の電極が共通に接続されている。各強誘電体キャパシタFC105、FC106、FC107、FC108の他方の電極はそれぞれ異なるプレート線PL11、PL12、PL13、PL14に接続されており、メモリセルとしての各強誘電体キャパシタFC105、FC106、FC107、FC108のそれぞれに対して独立にデータの書き込みができるように構成されている。なお、ノード電極ND12を

共有する複数の強誘電体キャパシタFC105, FC106, FC107, FC108のデータアクセスは一括で連続的に行われる。また、アクセスされたデータはセンスアンプで増幅されて再書き込みされる。

【0045】セルストリングCST13は、nチャネルMOSトランジスタからなるパストランジスタTR103、および同一列に配列された強誘電体キャパシタFC109, FC110, FC111, FC112により構成される。

【0046】セルストリングCST13においては、パストランジスタTR103を介してビット線BL13に接続されている一つのノード電極ND13にメモリセルとしての強誘電体キャパシタFC109, FC110, FC111, FC112の一方の電極が共通に接続されている。各強誘電体キャパシタFC109, FC110, FC111, FC112の他方の電極はそれぞれ異なるプレート線PL11, PL12, PL13, PL14に接続されており、メモリセルとしての各強誘電体キャパシタFC109, FC110, FC111, FC112のそれぞれに対して独立にデータが書き込みができるように構成されている。なお、ノード電極ND13を共有する複数の強誘電体キャパシタFC109, FC110, FC111, FC112のデータアクセスは一括で連続的に行われる。また、アクセスされたデータはセンスアンプで増幅されて再書き込みされる。

【0047】セルストリングCST14は、nチャネルMOSトランジスタからなるパストランジスタTR104、および同一列に配列された強誘電体キャパシタFC113, FC114, FC115, FC116により構成される。

【0048】セルストリングCST14においては、パストランジスタTR104を介してビット線BL14に接続されている一つのノード電極ND14にメモリセルとしての強誘電体キャパシタFC113, FC114, FC115, FC116の一方の電極が共通に接続されている。各強誘電体キャパシタFC113, FC114, FC115, FC116の他方の電極はそれぞれ異なるプレート線PL11, PL12, PL13, PL14に接続されており、メモリセルとしての各強誘電体キャパシタFC113, FC114, FC115, FC116のそれぞれに対して独立にデータが書き込みができるように構成されている。なお、ノード電極ND14を共有する複数の強誘電体キャパシタFC113, FC114, FC115, FC116のデータアクセスは一括で連続的に行われる。また、アクセスされたデータはセンスアンプで増幅されて再書き込みされる。

【0049】そして、セルストリングCST11, CST13を構成するパストランジスタTR101, TR103のゲート電極が共通の第1のワード線WL11に接続され、セルストリングCST12, CST14を構

成するパストランジスタTR102, TR104のゲート電極が共通の第2のワード線WL12に接続されている。

【0050】ロウデコーダ12は、アドレス指定されたワード線、図1の例ではWL11またはWL12に、たとえば電源電圧 $V_{cc} + \alpha$ (α はパストランジスタのしきい値電圧 V_{th} 以上の電圧、たとえば1V)を印加して、セルユニット単位でパストランジスタを導通状態に保持させる。そして、ロウデコーダ12は、図示しない制御系回路のモード信号MDを受けて、第1の動作モード時には、第1のワードWL11と第2のワード線WL12を独立に駆動し、第2の動作モード時には、第1のワードWL11と第2のワード線WL12を同時に駆動する。

【0051】プレートデコーダ13は、データアクセス時にアドレス指定されたプレート線PL11~PL14にアドレス指定されたメモリセルとしての強誘電体キャパシタにデータを書き込み、または読み出し、かつ再書き込みが行えるような所定電圧0V, V_{cc} を印加し、非選択のプレート線には所定電圧 $V_{cc}/2$ を印加する。なお、前述したように、メモリセルアレイ11に対するアクセスは、セルユニット単位(ワード線単位)で選択が行われ、セルストリング内の一つのノードに接続されている複数(本実施形態では4個)の強誘電体キャパシタに対して一括で連続的に行われることから、4本のプレート線PL11~PL14はそれぞれ連続的にアドレス指定される。

【0052】センスアンプ群14は、ビット線BL11およびBL12が接続されたセンスアンプ141と、ビット線BL13およびBL14が接続されたセンスアンプ142を有している。各センスアンプ141, 142は、書き込み時あるいは読み出し時に、ビット線BL11~BL14に読み出されたデータをラッチして増幅し、再書き込み(リフレッシュ動作)を行う。

【0053】カラムデコーダ15は、アドレス指定に応じてセンスアンプ141, 142の選択やセンスアンプにラッチされた読み出しデータの出力、書き込みデータの対応するセンスアンプへの供給等を行う。

【0054】なお、前述したように、本実施形態に係る強誘電体メモリ10は、第1の動作モードと第2の動作モードで動作可能で、たとえば図示しない制御系回路に対する指示により動作モードが切り換えられる。第1の動作モードでは第1のワード線WL11と第2のワード線WL12が独立に動作させ、各強誘電体キャパシタ一個について1ビットを記憶する。第2の動作モードでは第1のワード線WL11と第2のワード線WL12を同時に動作させ、各プレート線を電極として共有する一対のキャパシタ、すなわち第1のセルストリングCST11(またはCST13)の強誘電体キャパシタの一つと第2のセルストリングCST12(またはCST14)

内のキャパシタの一つで1ビットを記憶する。ただし、第1の動作モードで動作する場合には、第1のワード線WL11が選択されると、ビット線BL12（またはBL14）に図示しないダミーセルにより参照電位が与えられ、第2のワード線WL12が選択されると、ビット線BL11（またはBL13）に図示しないダミーセルにより参照電位が与えられる。

【0055】次に、上記構成による読み出しおよび書き込みを、第1の動作モードの場合と第2の動作モードの場合とにわけ、読み出し動作を中心に説明する。なおここでは、ワード線WL11とプレート線PL11が選択され、ビット線BL11がカラムとして選択された場合、すなわちセルユニットUT1のセルストリングCST11の強誘電体キャパシタFC101をアクセスする場合を例に説明する。

【0056】まず、第1の動作モードにおける読み出し動作について説明する。

【0057】第1の動作モードの読み出し動作

初期状態では、プレート線PL11～PL14とビット線BL11は $V_{cc}/2$ に固定されている。この状態で、ロウデコーダ12により選択されたワード線WL11に $V_{cc} + \alpha$ が印加されてセルストリングCST11およびCST13が選択される。これにより、パストランジスタTP101、TR103が導通状態となり、ノード電極ND11がビット線BL11に接続され、ノード電極ND13がビット線BL13に接続される。次に、選択されたプレート線PL11の電位が $V_{cc}/2$ から0Vに切り換えられ、少なくともビット線BL11、BL12が0Vにイコライズされた後、浮遊状態にされる。

【0058】次に、選択プレート線PL11の電位が0Vから電源電圧 V_{cc} レベルに立ち上げられる。このとき、非選択のプレート線PL12～PL14の電位は $V_{cc}/2$ に固定される。このとき、選択プレート線PL11に接続されている強誘電体キャパシタFC101がノード電極ND11側からプレート線PL11側に分極していれば（データ'1'）、元の分極と反対方向に電源電圧 V_{cc} が印加されることになる。その結果、強誘電体キャパシタFC101の分極状態が反転し、反転電荷がビット線BL11に放出される。一方、強誘電体キャパシタFC101がプレート線PL11側からノード電極ND11側に分極していれば（データ'0'）、分極方向と同方向の電圧が印加されているため、反転電流が流れない。

【0059】したがって、ビット線BL11の電位上昇は、強誘電体キャパシタFC101にデータ'1'が記憶されている場合には大きく、データ'0'が記憶されている場合には小さくなる。一方、ビット線BL11と対をなすビット線BL12に対しては、図示しないダミーセルにより、データ'1'の場合の電位上昇とデータ'0'の場合の電位上昇の中間の電位上昇が発生され

る。換言すれば、データ'1'の場合の電位上昇とデータ'0'の場合の電位上昇の中間の電位の参照電位がビット線BL12に与えられる。

【0060】ここで、センスアンプ141が活性化され、ビット線BL11とビット線BL12の電位差が検出されて読み出しが行われるとともに、信号が増幅される。これにより、強誘電体キャパシタFC101にデータ'1'が記憶されていた場合には、ビット線BL11は V_{cc} に、ビット線BL12は0Vに駆動される。一方、強誘電体キャパシタFC101にデータ'0'が記憶されていた場合には、ビット線BL11は0Vに、ビット線BL12は V_{cc} に駆動される。

【0061】以上の読み出し動作において、データ'1'が強誘電体キャパシタFC101に記憶されていた場合には、一旦記憶データは破壊されていることから、さらにプレート線PL11が V_{cc} から0Vに切り換えられる。これにより、データのビット線BL11への読み出し時に、分極反転した強誘電体キャパシタFC101は再度分極反転し、元のデータが再書き込みされる。すなわち、上述のセンスアンプ141によるビット線BL11、BL12の駆動と、プレート線PL11の V_{cc} から0Vへの切り換えにより、データ'1'、'0'共に V_{cc} の印加電圧による再書き込みが行われ、読み出し前の完全な状態に復帰する。

【0062】以上のように、選択プレート線PL11を駆動することで、強誘電体キャパシタFC101のデータがセンスアンプ141に読み出され、増幅されて再書き込みされる。そして、選択カラムのセンスアンプ141のデータのみが図示しないI/O線に送られて出力される。

【0063】ところで、以上の読み出し工程において、ノード電極ND11の電位は、0V～ V_{cc} の間で変動する。したがって、 $V_{cc}/2$ に固定された非選択のプレート線PL12～PL14に接続された非選択の強誘電体キャパシタFC102、FC103、FC104に対しても（ $\pm 1/2$ ） V_{cc} が印加されることになる。さらに、非選択のノード電極ND12に接続された強誘電体キャパシタFC105も、プレート線PL11の駆動によりディスターブを受ける。この場合のディスターブ量は浮遊状態のノードND12の電位変動によって決まるが、強誘電体キャパシタFC106、FC107、FC108が電位が固定されたプレート線PL12、PL13、PL14との間で寄生容量を形成しているため、その変動量はほぼ $(1/4) \times (\pm 1/2) V_{cc} = (\pm 1/8) V_{cc}$ となる。また、ノード電極ND12とプレート線PL11間の電位差は $(\pm 3/8) V_{cc}$ である。したがって、強誘電体キャパシタFC105は $(3/8) V_{cc}$ の、強誘電体キャパシタFC106、FC107、FC108は $(1/8) V_{cc}$ のディスターブを受けることになる。すなわち、選択キャパシタとノー

ド電極またはプレート線を共有する非選択キャパシタは、いずれも $(1/8)V_{cc} \sim (1/2)V_{cc}$ のディスターブを受けることになり、各キャパシタに蓄積されたデータは僅かずつ劣化する。

【0064】そこで、選択した強誘電体キャパシタ FC101 の読み出しを終えたら以下の動作が行われる。すなわち、選択プレート線 PL11 が電源電圧 V_{cc} から $V_{cc}/2$ に戻され、今度はプレート線 PL12 を $V_{cc}/2$ から 0V に切り換えて、再度ビット線 BL11, BL12 が 0V にイコライズされて、浮遊状態とされる。そして、上述した強誘電体 FC101 の読み出し動作と同様の動作を行って、すなわち、プレート線 PL12 の電位が 0V から電源電圧 V_{cc} レベルに立ち上げられる。このとき、非選択のプレート線 PL11, PL13, PL14 の電位は $V_{cc}/2$ に固定される。この状態で、ビット線 BL11, BL12 に記憶データに応じた電荷の放出が行われ、そして、センスアンプ 141 が活性化されて、強誘電体キャパシタ FC102 のデータがセンスアンプに読み出され、さらに再書き込みが行われる。

【0065】以下、順次プレート線 PL13, PL14 に対してもプレート線 PL12 と同様の操作が行われて、ノード電極 ND11 を共有する全ての強誘電体キャパシタに対してデータの再書き込みが行われる。

【0066】以上のセルストリング CST11 の強誘電体キャパシタ FC101 ~ FC104 に対する連続かつ一括に読み出しおよび再書き込みが行われた後、第1のワード線 WL11 への印加電圧が電源電圧 $V_{cc} + \alpha$ から 0V に切り換えられ、今度は第2のワード線 WL12 への印加電圧が 0V から電源電圧 $V_{cc} + \alpha$ に切り換えられる。すなわち、セルストリング CST11 の強誘電体キャパシタ FC101 ~ FC104 に対する連続かつ一括に読み出しおよび再書き込みを行った後、セルストリング CST12 のノード電極 ND12 を共有する4つの強誘電体キャパシタ FC105 ~ FC108 について、読み出しおよび再書き込み動作が行われる。これら強誘電体キャパシタ FC105 ~ FC108 について、読み出しおよび再書き込み動作は、上述した強誘電体キャパシタ FC102 ~ FC104 の場合と同様に行われることから、ここではその詳細な説明は省略する。

【0067】これにより、強誘電体キャパシタ FC101 ~ FC108 に対してディスターブを受ける全ての強誘電体キャパシタ FC102 ~ FC103, FC105 ~ FC108 が一回ずつ再書き込み（リフレッシュ）されたことになる。

【0068】同様に、たとえば反対側のビット線 BL12 の中ほどにある強誘電体キャパシタ FC106 が選択された場合には、まずワード線 WL12 が選択されてパストランジスタ TR102 が導通状態に保持され、プレート線 PL12 が駆動されて、所望の所望のデータが読み出される。そして、その後プレート線 PL13, PL14

14, PL11 を順次駆動して強誘電体キャパシタ FC107, FC108, FC105 のリフレッシュ動作が行われる。

【0069】続いて、ワード線 WL12 を非選択状態にし（0V 駆動）、ワード線 WL11 を選択して、パストランジスタ TR102 が導通状態に切り換え、パストランジスタ TR101 が導通状態に保持される。そして、プレート線 PL12, PL13, PL14, PL11 が順次駆動されて強誘電体キャパシタ FC102, FC103, FC104, FC101 のリフレッシュ動作が行われる。

【0070】なお、これらの制御は、まず選択ビットのロウアドレスから選択ワード線、および最初に駆動するプレート線を決定し、さらに2ビットのカウンタを用いて順次駆動するプレート線アドレスを発生することで容易に実現できる。以上のようなステップで読み出しを行えば、ノード電極、またはプレート線を共有する非選択の強誘電体キャパシタはディスターブを受けるものの、同じアクセス工程でかならず一度再書き込み（リフレッシュ）が行われるので、その都度データ劣化から回復する。したがって、データ劣化の度合いはリフレッシュから次のリフレッシュまでのディスターブ回数に限定される。

【0071】第1の動作モードの書き込み動作

たとえば、強誘電体 FC101 に対してデータを書き込む場合は、第1のワード線 WL11、およびプレート線 PL11 は上述した読み出し動作の場合と同様の駆動を行いつつ、ビット線 BL11, BL12 はセンスアンプ 141 を介して所望のデータをストアするよう強制駆動される。この場合にもノード電極、プレート線を共有する非選択セルが同様のディスターブを受けるので、読み出しの場合と同じく、それらを順次連続してアクセスし、再書き込みすれば良い。なお、データを各強誘電体キャパシタ単位で書き込む場合、非選択の強誘電体キャパシタについてはセンスアンプを強制駆動せず、読み出しと再書き込みのみを行う。

【0072】具体的には、ロウデコーダ 12 により制御系からアドレス指定され選択されたワード線 WL11 に対して電源電圧 $V_{cc} + \alpha$ が印加される。これにより、セルストリング CST11 が選択され、パストランジスタ TR101 が導通状態に保持される。一方、非選択のワード線 WL12 の電位は 0V に保持され、セルストリング CST12 のパストランジスタ TR102 は非導通状態に保持される。

【0073】この状態で、プレートデコーダ 13 により制御系からアドレス指定され選択されたプレート線 PL11 に対して、非選択のプレート線に印加される $V_{cc}/2$ に代えて 0V が印加され、続いて電源電圧 V_{cc} が印加される。また、非選択のプレート線 PL12 ~ PL14 には、プレートデコーダ 13 により $V_{cc}/2$ が印加され

る。このとき、選択ビット線BL11は、カラムデコーダ15を通して0Vにイコライズされた後、浮遊状態にされる。

【0074】これにより、強誘電体キャパシタFC101からパストランジスタTR101を介して記憶データに応じた電荷がビット線BL11に放出される。このとき、データ'1'が書き込まれた強誘電体キャパシタからはデータ'0'が書き込まれた強誘電体キャパシタより多くの電荷が放出される。この電荷量に基づくデータが、ビット線BL11を介してセンスアンプ141で感知され（読み出され）、増幅される。読み出されたデータはセンスアンプ141にラッチされる。このとき、別途、選択カラムのセンスアンプ141のみに所望のデータが書き込まれ、必要に応じてセンスアンプ141の状態が反転される。

【0075】ここで、センスアンプ141に所望のデータとして、たとえばデータ'0'が書き込まれた場合、センスアンプ141によりビット線BL11が0Vにドライブされる。このとき、プレート線PL11の電位は、電源電圧Vccレベルに保持されている。したがって、セルストリングCST11の選択された強誘電体キャパシタFC101は、他方の電極（プレート線）側から一方の電極（ノード電極）側に向かう分極状態となり、強誘電体キャパシタFC101にはデータ'0'が書き込まれる。そして、選択プレート線PL11の電位が0Vに切り換えられても分極反転は起こらずデータ'0'の記録状態が保持される。

【0076】一方、センスアンプ141に所望のデータとして、データ'1'が書き込まれた場合、センスアンプ141によりビット線BL11がVccにドライブされる。このとき、プレート線PL11の電位は、電源電圧Vccレベルに保持されている。したがって、この場合には書き込みは行われない。そして、選択プレート線PL11の電位が0Vに切り換えられる。これにより、一方の電極（ノード電極）側から他方の電極（プレート線）側に向かう分極状態となり、強誘電体キャパシタFC101にはデータ'1'が書き込まれる。

【0077】以上のように選択された強誘電体キャパシタFC101に接続されたプレート線PL11を用いた書き込みを行った後、選択プレート線PL11が電源電圧VccからVcc/2に戻され、今度はプレート線PL12をVcc/2から0Vに切り換えて、再度ビット線BL11、BL12が0Vにイコライズされて、浮遊状態とされる。そして、上述した強誘電体FC101の読み出し動作と同様の動作を行って、すなわち、プレート線PL12の電位が0Vから電源電圧Vccレベルに立ち上げられる。このとき、非選択のプレート線PL11、PL13、PL14の電位はVcc/2に固定される。この状態で、ビット線BL11、BL12に記憶データに応じた電荷の放出が行われ、そして、センスアンプ141が

活性化されて、強誘電体キャパシタFC102のデータがセンスアンプに読み出され、さらに再書き込みが行われる。

【0078】以下、順次プレート線PL13、PL14に対してもプレート線PL12と同様の操作が行われて、ノード電極ND11を共有する全ての強誘電体キャパシタに対してデータの再書き込みが行われる。

【0079】以上のセルストリングCST11の強誘電体キャパシタFC101～FC104に対する連続かつ一括に読み出しおよび再書き込みが行われた後、第1のワード線WL11への印加電圧が電源電圧Vcc+αから0Vに切り換えられ、今度は第2のワード線WL12への印加電圧が0Vから電源電圧Vcc+αに切り換えられる。すなわち、セルストリングCST11の強誘電体キャパシタFC101～FC104に対する連続かつ一括に読み出しおよび再書き込みを行った後、セルストリングCST12のノード電極ND12を共有する4つの強誘電体キャパシタFC105～FC108について、読み出しおよび再書き込み動作が行われる。これら強誘電体キャパシタFC105～FC108について、読み出しおよび再書き込み動作は、上述した強誘電体キャパシタFC102～FC104の場合と同様に行われる。

【0080】これにより、強誘電体キャパシタFC10読み出しでディスターブを受ける全ての強誘電体キャパシタFC102～FC103、FC105～FC108が一回づつ再書き込み（リフレッシュ）されたことになる。

【0081】次に、第2の動作モードにおける読み出し動作を説明する。

【0082】この第2の動作モードにおいては、2つの強誘電体キャパシタを用いて、相補的に1ビットを記憶する。図1の構成の場合、たとえば、データはそれぞれ強誘電体キャパシタFC101とFC105、FC102とFC106、FC103とFC107、FC104とFC108、並びに、FC109とFC113、FC110とFC114、FC111とFC115、FC112とFC116を対として、その分極方向により相補的に1ビットづつが記憶される。

【0083】第2の動作モードの読み出し動作

なお、ここでは、強誘電体キャパシタFC101はノード電極ND11側からプレート線PL11側に向かう方向に、強誘電体キャパシタFC105はプレート線PL11側からノード電極ND12側に向かう方向に分極し、その相補的な情報でデータが記憶されているとする。

【0084】初期状態では、プレート線PL11～PL14とビット線BL11～BL14はVcc/2に固定されている。ここで、ワード線WL11およびワード線WL12が同時に選択されて電源電圧Vcc+αが印加される。これにより、セルストリングCST11、CST1

2のバストランジスタTR101, TR102が導通状態に保持され、ノード電極ND11, ND12がビット線BL11, BL12に接続される。なお、この場合、実際にはセルストリングCST13, CST14のバストランジスタTR103, TR104も導通状態に保持され、ノード電極ND13, ND14もビット線BL13, BL14に接続されるが、以下では、セルストリングCST11, CST12のみに注目して説明する。

【0085】次に、選択されたプレート線PL11の電位が $V_{cc}/2$ から0Vに切り換えられ、少なくともビット線BL11, BL12が0Vにイコライズされた後、浮遊状態にされる。

【0086】次に、プレートデコーダ13により選択プレート線PL11の電位が0Vから電源電圧 V_{cc} レベルに立ち上げられる。このとき、非選択のプレート線PL12~PL14の電位は $V_{cc}/2$ に固定される。これにより、強誘電体キャパシタFC101には元の分極と反対方向に電源電圧 V_{cc} が印加されてその分極状態が反転し、反転電荷が放出される。一方、強誘電体キャパシタFC105には分極方向と同方向の電圧が印加されるため、分極は反転しない。したがって、反転電荷の分だけビット線BL11の電位はビット線BL12の電位より僅かに高くなる。

【0087】ここで、センスアンプ141が活性化され、ビット線BL11とBL12の電位差が増幅されて読み出されるとともに、ビット線BL11が V_{cc} に、ビット線BL12が0Vに駆動される。さらに、プレート線PL11の電位が電源電圧 V_{cc} から0Vに切り換えられる。これにより、分極反転した強誘電体キャパシタ(1)は再度分極し、元のデータが再書き込みされる。

【0088】本第2の動作モードにおいても、読み出し工程における共有のノード電極ND11, ND12の電位変動により、電位が $(1/2)V_{cc}$ に固定された非選択のプレート線PL12~PL14に接続された非選択の強誘電体キャパシタFC102~FC104, FC106~FC108に対して $(\pm 1/2)V_{cc}$ が印加される。そこで、対をなす選択された強誘電体キャパシタFC101, FC105の読み出しを終えたら、選択プレート線PL11の電位が $V_{cc}/2$ に戻され、今度はプレート線PL12の電位が $V_{cc}/2$ から0Vに切り換えられて、再度ビット線BL11, BL12が0Vにイコライズして、浮遊状態とされる。そして、上述した強誘電体FC101の読み出し動作と同様の動作を行って、すなわち、プレート線PL12の電位が0Vから電源電圧 V_{cc} レベルに立ち上げられる。このとき、非選択のプレート線PL11, PL13, PL14の電位は $V_{cc}/2$ に固定される。今度は対をなす強誘電体キャパシタFC102, FC106のデータがセンスアンプ141に読み出され、再書き込みされる。

【0089】以下、順次プレート線PL13, PL14

に対してもプレート線PL12と同様の操作が行われて、ノード電極ND11およびND12を共有する全ての強誘電体キャパシタに対してデータの再書き込みが行われる。

【0090】このようにして、本第2の動作モードにおいても、ノード電極を共有する非選択の強誘電体キャパシタはディスタ urb を受けるものの、同じアクセス工程でかならず一度再書き込みが行われるのでその都度データ劣化から回復する。したがって、データ劣化の度合いは再書き込みから次の再書き込みまでのディスタ urb 回数に限定される。本実施形態の場合、ディスタ urb の上限は6回である。

【0091】以上説明したように、本実施形態によれば、メモリセルアレイ11を複数のセルユニットUTに分割し、かつ、各セルユニットを4列のセルストリングCST11~CST14に分割し、各セルストリングCST11~CST14においては、バストランジスタを介してビット線に接続されるノードND11~ND14に対してそれぞれ複数の強誘電体キャパシタの一方の電極を接続するとともに、他方の電極をそれぞれ異なるプレート線PL11~PL14に接続して各セルストリング内の複数の強誘電体キャパシタに対して独立にアクセス可能にし、セルストリングの所望のメモリセルとしての強誘電体キャパシタをアクセスする場合、セルストリングで選択し、選択された強誘電体キャパシタのアクセス(書き込みまたは読み出し)するとともに、選択された強誘電体キャパシタと同一の選択プレート線に接続されたセルストリングの強誘電体キャパシタに対してもアクセスして再書き込みし、さらに非選択のプレート線に接続された強誘電体キャパシタに対しても一括して連続でアクセスして再書き込みするようにしたので、面積的オーバーヘッドを最小に抑えつつ、読み出し、書き込みがどのような順序で行われてもディスタ urb 回数は一定以内に制限することができる。したがって、データ消失を伴うことなく信頼性の高いアクセスが可能となる利点がある。

【0092】また、本実施形態では、同一のチップで、強誘電体キャパシタ1個に記憶する第1の動作モードと強誘電体キャパシタ2個に記憶する第2の動作モードを兼備するように構成したが、これに限定されることなく、本発明が、強誘電体キャパシタ1個で1ビットを記憶する第1の動作モードでのみ動作する構成、あるいは、強誘電体キャパシタ2個で1ビットを記憶する第2の動作モードでのみ動作する構成にすることが可能であることはいうまでもない。ただし、第1の動作モードでは記憶容量を大きくとれるものの、参照電位が必要となり、動作マージンが小さく製造歩留まりを得にくい。一方、第2の動作モードでは製造歩留まりを得やすいが記憶容量が小さい。したがって、これらを兼備することで、テスト工程や製品出荷に柔軟性を得ることができる。た

たとえば、まず「製品を第2の動作モードでテストして、パスしたものを再度第1の動作モードでテストし、製品を2通りに選別することも可能になる等の利点がある。

【0093】また、本実施形態によれば、パストランジスタを介してビット線に接続されるノードND11~ND14に対してそれぞれ複数の強誘電体キャパシタの一方の電極を接続するように構成したが、さらに、この強誘電体キャパシタをスタック型とすることで、パストランジスタ上にも強誘電体キャパシタを形成でき、単純マトリックス型とほぼ同様のセル面積が実現できる。以下にこの利点について、図2および図3に関連付けて説明する。

【0094】図2は、本発明に係る強誘電体メモリの強誘電体キャパシタをスタック型とした場合の一セルストリング部を示す図であって、図2(A)はレイアウトを示す平面図、図2(B)は断面図である。なお、図2においては、ハッチングは省略している。またここでは、セルストリングCST11を例に説明する。

【0095】図2において、101は半導体基板、102は素子分離領域、103はドレイン・ソース領域、104はゲート酸化膜、105はポリシリコンあるいはポリサイドからなるゲート電極(ワード線)、106はノード電極ND11を構成する4つの強誘電体キャパシタの共通下部電極、107は強誘電体キャパシタ絶縁体、108a、108b、108c、108dはプレート線PL11、PL12、PL13、PL14を構成する上部電極、109は層間絶縁膜、110はビット線BL11を構成するアルミニウム配線層をそれぞれ示している。

【0096】図2に示すように、本強誘電体キャパシタ10は、共通のノード電極ND11に接続される強誘電体キャパシタFC101~FC104の一方の電極を共通に下部電極106として構成し、この下部電極上106に強誘電体キャパシタ絶縁体107を形成し、強誘電体キャパシタ絶縁体107上に所定間隔をおいて上部電極108a、108b、108c、108dを形成して、スタック型の強誘電体キャパシタを構成している。そして、強誘電体キャパシタはパストランジスタの上層に形成されている。下部電極106は、コンタクトCNT101によりドレイン・ソース領域103に接続され、トランジスタTRの領域を介して、さらにコンタクトCNT102を介してビット線BL11としてのアルミニウム配線層110に接続されている。なお、強誘電体キャパシタ絶縁体107は、ヒステリシス特性を有する強誘電体材料、たとえば $PbZrTiO_3$ 、 $BiSr_2$ 、 Ta_2O_9 等により構成される。

【0097】この例のように、強誘電体キャパシタをスタック型にすることで、トランジスタTRの上にもキャパシタを形成でき、単純マトリックス型とほぼ同様のセル面積が実現できる。

【0098】一方、図3は、従来の1トランジスタ+1キャパシタ型セルの構造を示す図であって、図3(A)はレイアウトを示す平面図、図3(B)は断面図である。なお、図3においても、ハッチングは省略している。

【0099】図3において、201は半導体基板、202は素子分離領域、203はドレイン・ソース領域、204はゲート酸化膜、205はポリシリコンあるいはポリサイドからなるゲート電極(ワード線)、206a、206bはノード電極を構成する強誘電体キャパシタの下部電極、207は強誘電体キャパシタ絶縁体、208a、208bはプレート線PL11、PL12を構成する上部電極、209は層間絶縁膜、210はビット線BL11を構成するアルミニウム配線層をそれぞれ示している。

【0100】図3に示すように、従来の構造では、ノード電極を共有していないことから、2ビットに一つのビット線コンタクト領域CNT202と素子分離領域202、ビット毎のトランジスタ領域TRとノードコンタクト領域CNT201a、CNT201bをそれぞれ基板上に確保する必要がある。

【0101】図2と図3を比較して明らかなように、本発明の構成を用いれば、ビットあたりの占有面積は従来の約1/2にまで大幅に縮小できる。しかもビット線コンタクトやノードコンタクトとゲート電極との合わせ余裕を十分に取ることができ、製造工程のマージン確保も容易である。

【0102】また、図4は、本発明に係る強誘電体メモリの強誘電体キャパシタをスタック型とした場合の一セルストリング部の他の構成例を示す図であって、図4(A)はレイアウトを示す平面図、図4(B)は断面図である。なお、図4においても、ハッチングは省略している。

【0103】この例では、拡散層103を斜めにしてビット線BL11の横から共有ノードND11と拡散層103のコンタクトを取ることで、各強誘電体キャパシタをビット線の上層に形成している。これにより、ビット線方向に隣接するノード(ND11、ND13またはND14)間の距離を詰めることができ、メモリセル面積をさらに縮小できる。

【0104】以上説明にした実施形態においては、同一ノードに強誘電体キャパシタが4つ接続された場合について述べたが、強誘電体キャパシタは2つ以上であれば何個接続されていても良い。一般に、同一ノードに接続される強誘電体キャパシタの数が多いほど記憶密度は高くなるが、ディスタurb回数が増えるのでデータが劣化しやすくなる。また、データ読み出し時にビット線電位が僅かに変動するので、同一ノードに接続されたキャパシタ数が多いとそこから変動分の電荷が放出されてノイズになる。したがって、同一ノードに接続されるキャパ

シタ数は8個以下、すなわち2個から8個の間が望ましい。

【0105】

【発明の効果】以上説明したように、本発明によれば、面積的オーバーヘッドを最小に抑えつつ、効果的にディスターブ回数を制限し、その上限を少ない回数に確定することによってデータ破壊のない、安定したアクセスを保証できる利点がある。また、本発明によれば、特性が安定な相補型2キャパシタ/ビットの記憶方式でDRAM並の、1キャパシタ/ビットの記憶方式でDRAMの2倍の記憶密度が実現でき、ひいては大容量でかつ信頼性の高い強誘電体メモリが安価に実現できる利点がある。

【図面の簡単な説明】

【図1】本発明に係る強誘電体メモリの一実施形態を示す回路図である。

【図2】本発明に係る強誘電体メモリの強誘電体キャパシタをスタック型とした場合の一セルストリング部を示す図であって、(A)はレイアウトを示す平面図、

(B)は断面図である。

【図3】従来の1トランジスタ+1キャパシタ型セルの構造を示す図であって、(A)はレイアウトを示す平面図、(B)は断面図である。

【図4】本発明に係る強誘電体メモリの強誘電体キャパシタをスタック型とした場合の一セルストリング部の他の構成例を示す図であって、(A)はレイアウトを示す

平面図、(B)は断面図である。

【図5】単純マトリクス型強誘電体メモリの構成例を示す回路図である。

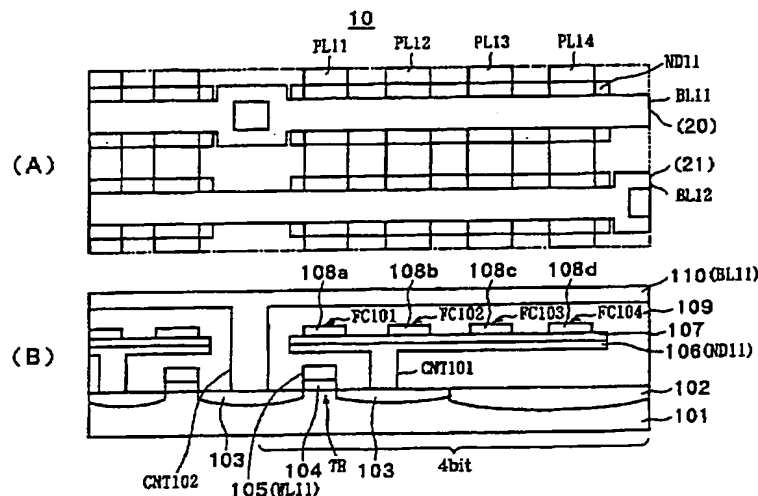
【図6】以下、強誘電体キャパシタのヒステリシス特性、および互いに逆相のデータが書き込まれたキャパシタの状態を示す図である。

【図7】1トランジスタ+1キャパシタ型セルを有する折り返しビット線型強誘電体メモリの構成例を示す回路図である。

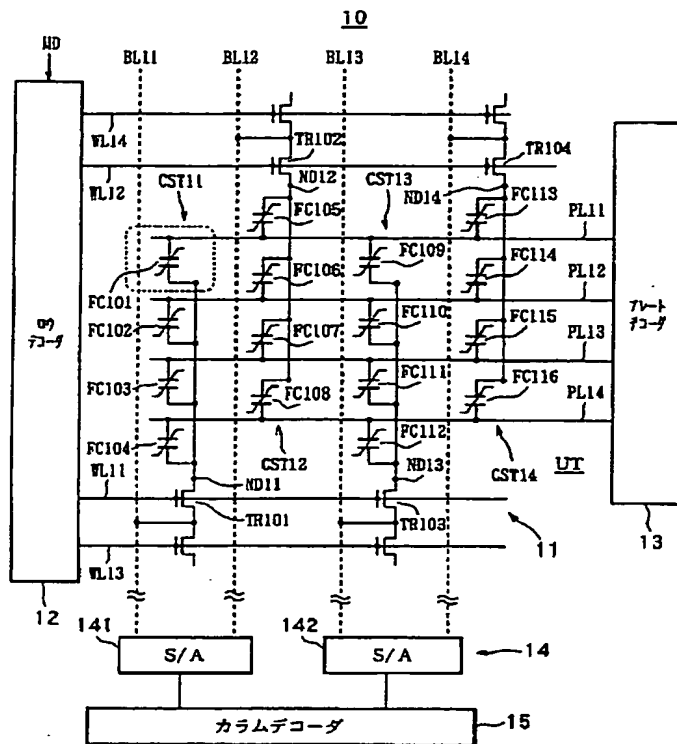
【符号の説明】

10…強誘電体キャパシタ、11…メモリセルアレイ、12…ロウデコーダ、13…プレートデコーダ、14…センスアンプ(S/A)群、141、142…センスアンプ、15…カラムデコーダ、FC101～FC110…強誘電体キャパシタ、UT…セルユニット、CST11～CST14…セルストリング、WL11、WL12…ワード線、BL11～BL14…ビット線、PL11～PL14…プレート線、ND11～ND14…ノード電極、101…半導体基板、102…素子分離領域、103…ドレイン・ソース領域、104…ゲート酸化膜、105…ゲート電極(ワード線)、106…共通下部電極、107…強誘電体キャパシタ絶縁体、108a、108b、108c、108d…上部電極、109…層間絶縁膜、110…ビット線BL11を構成するアルミニウム配線層。

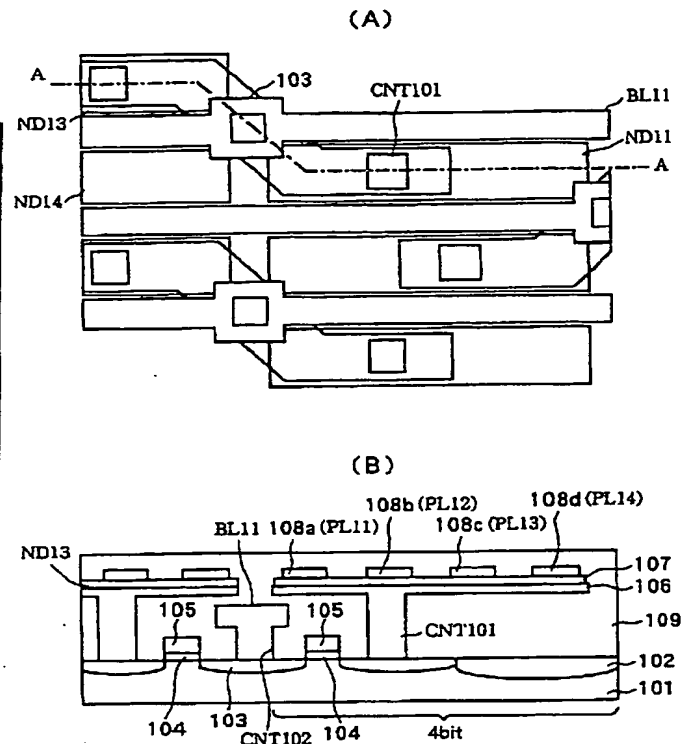
【図2】



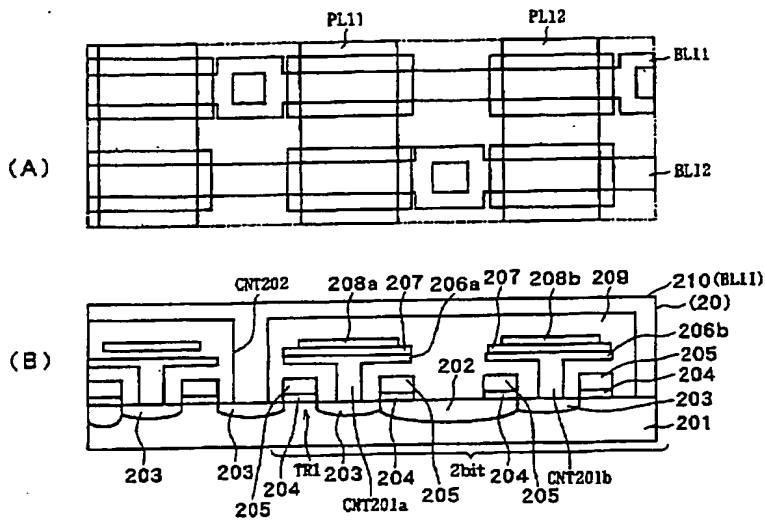
【図 1】



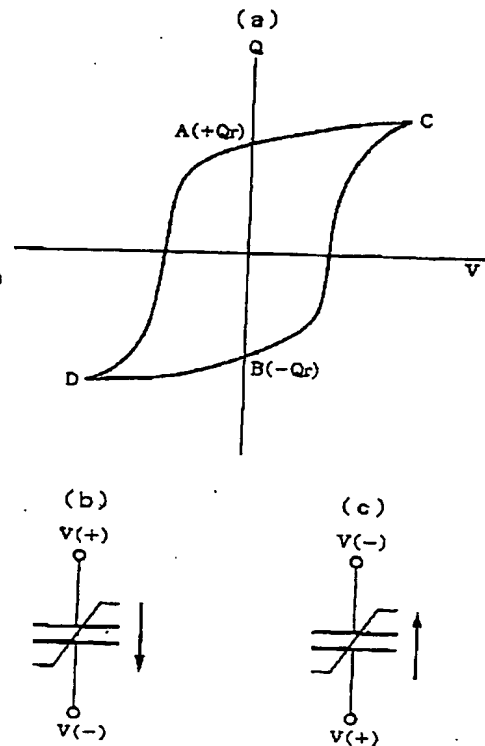
【図 4】



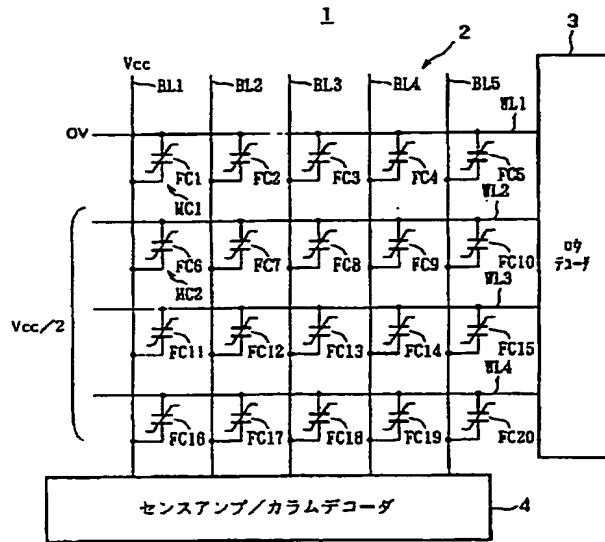
【図 3】



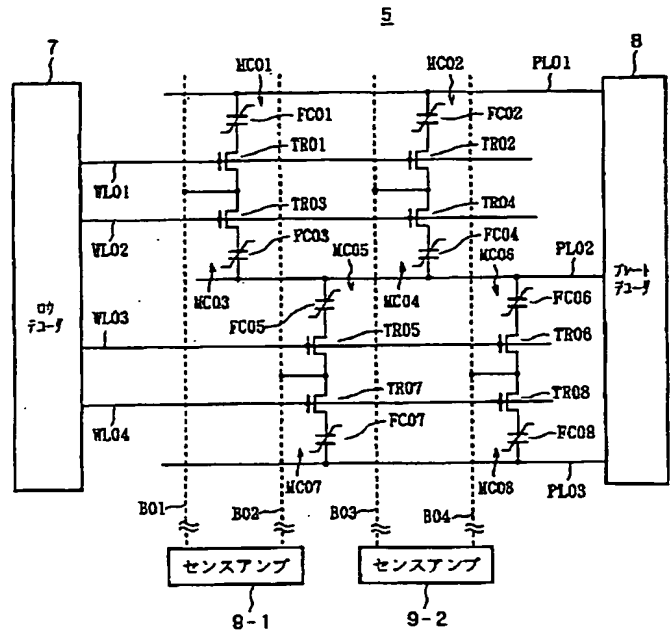
【図 6】



【図5】



【図7】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード(参考)

H O 1 L 21/8247

29/788

29/792